

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 41 07 883 A 1

⑤1 Int. Cl. 5:
H 01 L 23/48
H 01 L 27/108

DE 41 07 883 A 1

②1 Aktenzeichen: P 41 07 883.7
②2 Anmeldetag: 12. 3. 91
④3 Offenlegungstag: 19. 9. 91

③0 Unionspriorität: ③2 ③3 ③1
13.03.90 JP P2-63671

⑦1 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

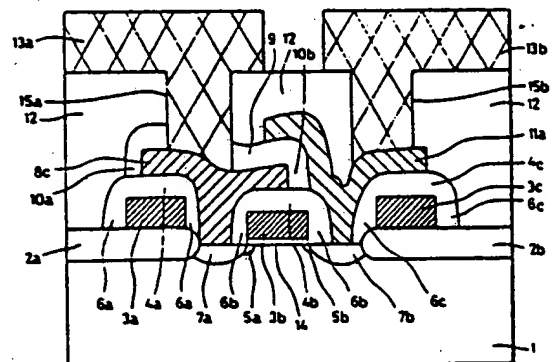
⑦4 Vertreter:
Prüfer, L., Dipl.-Phys., Pat.-Anw., 8000 München

⑦2 Erfinder:
Okumura, Yoshinori; Hachisuka, Atsushi, Itami,
Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Halbleitereinrichtung und Verfahren zu deren Herstellung

⑤7 Es wird eine Halbleitereinrichtung beschrieben, bei der leicht Kontakte gebildet werden, auch wenn der Abstand zwischen benachbarten Gateelektroden entsprechend einem höheren Integrationsniveau der Halbleitereinrichtung verringert ist. Die Halbleitereinrichtung enthält eine Polysilicium-Anschlußfläche (8c), die mit Verunreinigungs-Implantationsschichten (5a und 7a) verbunden und über Seitenwänden (6a und 6b) von Gateelektroden (3a und 3b) und Isolierschichten (4a und 4b) gebildet ist, und eine Polysilicium-Anschlußfläche (11a), die mit Verunreinigungs-Implantationsschichten (5b und 7b) verbunden und über der Polysilicium-Anschlußfläche (8c) mit dazwischenliegender Isolierschicht (9) und Seitenwänden (10b) gebildet ist. Auch wenn zur Erreichung verringerter Gateelektrodenlängen und Gateelektrodenabstände entsprechend einem höheren Integrationsgrad der Halbleitereinrichtung die Elemente miniaturisiert sind, können die Polysilicium-Anschlußflächen (8c und 11a) zwischen Verunreinigungs-Implantationsschichten (5a, 7a) und einer oberen Verdrahtung (13a) und zwischen Verunreinigungs-Implantationsschichten (5b, 7b) und einer oberen Verdrahtungsschicht (13b) leicht gebildet werden. Damit können ohne Schwierigkeit Kontaktlöcher (15a und 15b) zur Ausbildung oberer Verdrahtungen (13a und 13b) auch dann gebildet werden, wenn der Integrationsgrad von Halbleitereinrichtungen erhöht wird.



DE 41 07 883 A 1

rigkeiten bei dem Ausbilden der oberen Schichtverdrahtungen 13a und 13b. Dieses Problem kann durch die Ausbildung von Polysilicium-Anschlußflächen 8a und 8b zwischen den oberen Schichtverdrahtungen 13a und 13b und den Verunreinigungs-Implantationsschichten 7a und 7b gelöst werden, wodurch die Bildung von Kontaktlöchern 15a und 15b über den Polysilicium-Anschlußflächen 8a und 8b erleichtert wird, wodurch wiederum die oberen Schichtverdrahtungen 13a und 13b mit Leichtigkeit ausgebildet werden können. Polysilicium-Anschlußflächen 8a und 8b sind im Zusammenhang mit der Verringerung der Oberfläche der Verbindungsgebiete zwischen den Oberschichtverdrahtungen 13a und 13b und den Verunreinigungs-Implantationsschichten 7a und 7b unverzichtbar, wenn Elemente hoch integriert werden.

Die Fig. 5A - 5F sind Querschnittsdarstellungen des Aufbaus des Reihendecoders des DRAM nach Fig. 4 zur Erklärung des Herstellungsprozesses.

Unter Bezugnahme auf Fig. 5A werden auf dem Halbleitersubstrat 1 selektiv Elementisolationsbereiche 2a und 2b gebildet. Gemäß Fig. 5B wird durch thermische Oxidation eine Gateisolierschicht 14 gebildet. Auf die Gateisolierschicht 14 wird ein Elektrodenmaterial 3, wie mit Verunreinigungen dotiertes Polysilicium, abgeschieden. Auf das Elektrodenmaterial 3 wird eine Isolierschicht 4, wie etwa ein Siliciumoxidfilm, abgeschieden. Das Elektrodenmaterial 3 und die Isolierschicht 4 werden durch Photolithographie und Ätzen entfernt, wobei nur die Teile stehenbleiben, wo die Gateelektroden 3a, 3b und 3c gebildet werden. Ionen mit entgegengesetztem Leitfähigkeitstyp gegenüber dem Halbleitersubstrat 1 werden in das Halbleitersubstrat 1 implantiert, um Verunreinigungs-Implantationsschichten 5a und 5b zu bilden. Unter Bezugnahme auf Fig. 5D wird eine Isolierschicht (nicht gezeigt), wie etwa ein Siliciumoxidfilm, auf das gesamte Halbleitersubstrat 1 abgeschieden und rückgeätzt, um die Seitenwände 6a, 6b und 6c zu bilden. Dann werden Ionen eines Leitfähigkeitstyps entgegengesetzt zum Halbleitersubstrat 1 zwischen die benachbarten Gateelektroden auf dem Halbleitersubstrat 1 implantiert, um Implantations-Verunreinigungsschichten 7a und 7b zu bilden. Wie in Fig. 5E gezeigt, wird auf die Verunreinigungs-Implantationsschichten 5a, 7a und 5b, 7b ein leitfähiges Material 8 aufgebracht. Wie in Fig. 5F gezeigt, werden durch Strukturieren des leitfähigen Materials S Polysilicium-Anschlußflächen 8a und 8b gebildet. Auf die gesamte Oberfläche wird ein Zwischenschicht-Isolierfilm 12 abgeschieden, und Kontaktlöcher 15a und 15b werden gebildet. Zuletzt werden auf dem Zwischenschichtisolierfilm 12 und in den Kontaktlöchern 15a und 15b obere Schichtverdrahtungen 13a und 13b gebildet, wie in Fig. 4 gezeigt.

Wie oben festgestellt, ist der die periphere Schaltung eines herkömmlichen DRAM bildende Reihendecoder mit Polysilicium-Anschlußflächen 8a und 8b zwischen den oberen Schichtverdrahtungen 13a und 13b und den Verunreinigungs-Implantationsschichten 5a, 7a und 5b, 7b versehen, um die Bildung der oberen Schichtverdrahtungen 13a und 13b zu erleichtern. Entsprechend dem in DRAMs erhöhten Integrationsgrad wird für Reihendecoder hohe Integration gefordert. Demzufolge werden die einen Reihendecoder bildenden Elemente miniaturisiert, um die Länge der Gateelektrode selbst und den Abstand zwischen benachbarten Gateelektroden zu verkürzen. Dies führt zu dem Problem, daß die herkömmliche Art und Weise der Photolithographie und

des Ätzens von Polysilicium-Anschlußflächen 8a und 8b über der Gateelektrode 3b schwierig auszuführen wird. Die Miniaturisierung der Elemente führte zu dem Problem, daß Polysilicium-Anschlußflächen nur mit Schwierigkeit gebildet werden können. Sogar wenn Polysilicium-Anschlußflächen in Fällen, wo die Elemente miniaturisiert sind, gebildet werden könnten, wäre es schwierig, die oberen Schichtverdrahtungen auf den Silicium-Anschlußflächen genau zu bilden, was zu folgendem Problem führt. Es besteht die Möglichkeit, daß die obere Schichtverdrahtung und die Gateelektrode dadurch kurzgeschlossen werden, daß ein Teil der oberen Schichtverdrahtung direkt auf der Gateelektrode gebildet wird. Außerdem gibt es das Problem, daß es notwendig wäre, den inneren Kontaktdurchmesser des Kontaktlochs zu verringern, wenn keine Siliciumanschlußflächen gebildet werden können. Dies würde zu Schwierigkeiten bei der Durchführung der Photolithographie und des Ätzens zum Ausbilden von Kontaktlöchern führen.

In herkömmlichen DRAMs war es schwierig, eine Polysilicium-Anschlußfläche als leitfähige Schicht zwischen einer Verdrahtungsschicht und einem Verunreinigungsgebiet zu bilden, wodurch es nicht mehr möglich war, auf einfache Weise Kontakte zu bilden, wenn entsprechend dem höheren Integrationsgrad der Halbleitereinrichtung mit reduziertem Abstand zwischen benachbarten Gateelektroden die Elemente miniaturisiert sind.

Es ist Aufgabe der vorliegenden Erfindung, die Bildung von Kontakten auch dann zu ermöglichen, wenn der Abstand zwischen benachbarten Gateelektroden entsprechend der Zunahme des Integrationsgrades einer Halbleitereinrichtung verringert wird. Es soll ermöglicht werden, eine leitfähige Schicht zwischen ein Verunreinigungsgebiet und eine Verdrahtungsschicht auch dann einzuschieben, wenn der Abstand zwischen benachbarten Gateelektroden entsprechend der Zunahme des Integrationsgrades einer Halbleitereinrichtung verringert wird. Auch dann soll die Ausbildung eines Kontaktes ohne Komplikationen im Herstellungsverfahren leicht möglich sein. Sie soll des weiteren ohne Anwendung neuer Techniken möglich sein.

Entsprechend einem Aspekt der Erfindung enthält eine Halbleitereinrichtung ein Halbleitersubstrat, ein Paar von Verunreinigungsgebieten, Gateelektroden, eine erste leitfähige Schicht, eine zweite leitfähige Schicht, eine erste Verdrahtungsschicht und eine zweite Verdrahtungsschicht. Ein Paar von Verunreinigungsgebieten ist auf dem Halbleitersubstrat mit einem vorgegebenen Abstand dazwischen gebildet. Zwischen einem Paar von Verunreinigungsgebieten ist eine Gateelektrode mit darunterliegender Gateisolierschicht gebildet. Die erste leitfähige Schicht ist mit einem der Verunreinigungsgebiete verbunden und auf den Seitenwänden und auf der Gateelektrode mit einer ersten, dazwischenliegenden Isolierschicht gebildet. Die zweite leitfähige Schicht ist mit dem anderen der Verunreinigungsgebiete und so gebildet, daß mindestens ein Ende über der leitfähigen Schicht mit einer zweiten Isolierschicht dazwischenliegt. Die erste Verdrahtungsschicht ist mit der ersten leitfähigen Schicht verbunden. Die zweite Verdrahtungsschicht ist mit der zweiten leitfähigen Schicht verbunden.

Eine leitfähige Schicht wird auch dann zwischen den Verunreinigungsgebieten und den Verdrahtungsschichten gebildet, wenn der Abstand zwischen benachbarten Gateelektroden verringert wird, dadurch, daß die erste

der Isolierschicht 12 zur Kontaktierung der Polysilicium-Anschlußfläche 11a.

Die Ausführungsform hat eine geschichtete Struktur einer Polysilicium-Anschlußfläche 8c und einer Polysilicium-Anschlußfläche 11a. Dies erlaubt die Ausbildung von Polysilicium-Anschlußflächen 8c und 11a zwischen Verunreinigungs-Implantationsschichten 5a, 7a und einer oberen Verdrahtungsschicht 13a und Verunreinigungs-Implantationsschichten 5b, 7b und einer oberen Verdrahtungsschicht 13b ohne Schwierigkeiten bei der Herstellung, auch wenn die einen Reihendecoder bildenden Elemente entsprechend dem Anwachsen des Integrationsdrahtes des DRAM zur Reduzierung der Gateelektrodenlänge und des Gateelektrodenabstandes miniaturisiert sind. Dies erleichtert die Ausbildung von Kontaktlöchern 15a und 15b zur Ausbildung oberer Schichtverdrahtungen 13a und 13b. Mit anderen Worten, eine hohe Abmessungsgenauigkeit der Kontaktfläche 15a und 15b ist auch dann nicht erforderlich, wenn der Reihendecoder hohen Integrationsgrad besitzt und die Elemente miniaturisiert sind. Zudem kann der innere Durchmesser der Kontaktfläche 15a und 15b vergrößert werden. Damit können Schwierigkeiten bei der Herstellung an den Kontakten, die sich aus der Miniaturisierung der Elemente ergeben, gelöst werden, was zu einer hohen Ausbeute bei der Herstellung führt.

Im folgenden wird unter Bezugnahme auf die Fig. 2A - 2I das Herstellungsverfahren des Kontaktaufbaues des Reihendecoders des DRAM nach Fig. 1 erläutert. Entsprechend Fig. 2A werden auf dem Halbleitersubstrat 1 selektiv Elementisoliationsgebiete 2a und 2b gebildet. Entsprechend Fig. 2B wird auf der gesamten Oberfläche durch thermische Oxidation eine Gateisolierschicht 14 gebildet. Auf der Gateisolierschicht 14 wird Elektrodenmaterial 3, wie z. B. Polysilicium mit dotierten Verunreinigungen, gebildet. Auf dem Elektrodenmaterial 3 wird eine Isolierschicht 4, wie etwa ein Siliciumoxidfilm, gebildet.

Entsprechend Fig. 2C werden die Bereiche des Elektrodenmaterials 3 und der Isolierschicht 4 durch Strukturieren unter Nutzung von Photolithographie- und Ätztechniken entfernt, wobei nur die Gebiete stehenbleiben, wo Gateelektroden 3a, 3b und 3c gebildet werden. Dies führt zur Ausbildung von Isolierschichten 4a, 4b und 4c auf den Gateelektroden 3a, 3b bzw. 3c. Ionen von einem zum Halbleitersubstrat 1 entgegengesetzten Leitfähigkeitstyp werden in das Halbleitersubstrat 1 unter Nutzung der Gateelektrode 3b und der Isolierschicht 4b als Masken implantiert, wodurch Verunreinigungs-Implantationsschichten 5a und 5b gebildet werden.

Wie Fig. 2D zeigt, wird auf der gesamten Oberfläche des Halbleitersubstrates 1 eine (nicht gezeigte) Isolierschicht, wie etwa ein Siliciumoxidfilm, gebildet. Durch Rückätzen dieser Isolierschicht werden Seitenwände 6a, 6b und 6c auf den Seitenwänden der Gateelektroden 3a, 3b bzw. 3c gebildet. Unter Nutzung der Seitenwände 6a, 6b und 6c als Maske werden Ionen mit einem zum Halbleitersubstrat 1 entgegengesetzten Leitfähigkeitstyp implantiert, um Verunreinigungs-Implantationsschichten 7a und 7b zu bilden.

Wie Fig. 2E zeigt, wird leitfähiges Material wie Polysilicium auf der gesamten Oberfläche gebildet, worauf die Bildung einer Isolierschicht 9, wie etwa eines Siliciumoxidfilms, folgt. Entsprechend Fig. 2F wird eine Polysilicium-Anschlußfläche 8c zur Verbindung der Verunreinigungs-Implantationsschichten 5a und 7a, die sich über die Gateelektroden 3a und 3b erstreckt, unter Nut-

zung von Photolithographie- und Ätztechniken gebildet.

Wie Fig. 2G zeigt, werden auf den Seitenwänden der Polysilicium-Anschlußfläche 8c durch Ausbildung einer (nicht gezeigten) Isolierschicht, wie etwa einem Siliciumoxidfilm, auf der gesamten Oberfläche und Ätzen derselben Seitenwände 10a und 10b gebildet. Wie Fig. 2H zeigt, wird auf der gesamten Oberfläche ein leitfähiges Material 11 wie Polysilicium ausgebildet. Entsprechend Fig. 2I wird mittels Photolithographie- und Ätztechniken eine Polysilicium-Anschlußfläche 11a gebildet. Die Polysilicium-Anschlußfläche 11a wird gebildet, um Verunreinigungs-Implantationsschichten 5b und 7b zu verbinden, und erstreckt sich über die Gateelektroden 3b und 3c und über die Polysilicium-Anschlußfläche 8c mit dazwischenliegender Isolierschicht 9. Nachdem auf der gesamten Oberfläche ein Zwischenschicht-Isolierfilm 12 gebildet wurde, werden in dem Zwischenschicht-Isolierfilm 12 Kontaktlöcher 15a und 15b über den Polysilicium-Anschlußflächen 8c bzw. 11a gebildet.

Dann werden in den Kontaktlöchern 15a und 15b, wie in Fig. 1 gezeigt, obere Schichtverdrahtungen 13a und 13b gebildet. Damit sind die Verunreinigungs-Implantationsschichten 5a und 7a über die Polysilicium-Anschlußfläche 8c elektrisch mit der oberen Schichtverdrahtung 13a verbunden. Analog sind die Verunreinigungs-Implantationsschichten 5b und 7b über die Polysilicium-Anschlußfläche 11a mit der oberen Schichtverdrahtung 13b verbunden. Entsprechend der Ausführungsform können die einander überlagernden Polysilicium-Anschlußflächen 8c und 11a mit dazwischenliegender Isolierschicht 9 leicht ohne Verwendung neuer Herstellungstechniken gebildet werden. Auch wenn Reihendecoder hoch integriert werden, um die Elemente zu miniaturisieren und den Integrationsgrad von DRAMs zu erhöhen, was zu verringerten Gateelektrodenlängen und Gateelektrodenabständen führt, können Polysilicium-Anschlußflächen 8c und 11a mit Leichtigkeit gebildet werden. Dies vereinfacht das Verfahren der Ausbildung der oberen Schichtverdrahtungen 13a und 13b ohne Schwierigkeiten im Herstellungsverfahren.

Die erfindungsgemäße Lösung ist nicht auf die Ausführungsform beschränkt, bei der ein peripherer Schaltung eines DRAM verkörpernder Reihendecoder beschrieben wurde. Ähnliche Effekte können durch ihre Anwendung auf andere Fälle, wo in peripheren Schaltungen ein hoher Integrationsgrad gefordert ist, wie Spaltendecoder und Lese-Auffrischverstärker, erreicht werden. Die Erfindung ist auch auf Speicherzellen anwendbar.

Obwohl in der Ausführungsform als Mittel zur Kontaktierung der Verunreinigungs-Implantationsschichten und der oberen Schichtverdrahtung Polysilicium-Anschlußflächen ausgebildet sind, ist die Erfindung darauf nicht beschränkt und kann auch auf die Kontaktierung unterer Verdrahtungen mit oberen Verdrahtungen angewendet werden. Obwohl die Erfindung in der Anwendung auf dotiertes Polysilicium als Elektrodenmaterial beschrieben wurde, ist dies nur als Beispiel anzusehen, und es können auch Metallsilicidschichten, Metallpolysilicide oder Metalle verwendet werden. Eine Anschlußfläche aus Polysilicium, die als Beispiel eines Elektrodenmaterials beschrieben wurde, ist nur als Beispiel zu verstehen, und es können andere leitfähige Materialien verwendet werden.

Entsprechend dem Konzept der erfindungsgemäßen

6. Halbleitereinrichtung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß ein Ende der ersten leitfähigen Schicht (8c) und mindestens ein Ende der zweiten leitfähigen Schicht (11a) einander über der Gateelektrode (4b), die zwischen den Verunreinigungsgebieten gebildet ist, mit der dazwischenliegenden zweiten Isolierschicht (9, 10b) überlappen.

7. Halbleitereinrichtung nach einem der Ansprüche 1 bis 6, gekennzeichnet durch eine dritte Isolierschicht (12), die so gebildet ist, daß sie die zweite Isolierschicht (9, 10b) und die zweite leitfähige Schicht (11a) bedeckt.

8. Halbleitereinrichtung nach Anspruch 7, dadurch gekennzeichnet, daß die zweite (9, 10b) und dritte Isolierschicht (12) eine erste Öffnung (15a) zur Verbindung der ersten Verdrahtungsschicht (13a) mit der ersten leitfähigen Schicht (8c) und die dritte Isolierschicht (12) eine zweite Öffnung (15b) zur Verbindung der zweiten Verdrahtungsschicht (13b) mit der zweiten leitfähigen Schicht (11a) enthalten.

9. Halbleitereinrichtung nach Anspruch 8, dadurch gekennzeichnet, daß die erste Öffnung (15a) auf der Oberfläche der ersten leitfähigen Schicht (8c) mit einer vorgegebenen Abmessung und die zweite Öffnung (15b) auf die Oberfläche der zweiten leitfähigen Schicht (11a) mit einer vorgegebenen Abmessung gebildet sind.

10. Verfahren zur Herstellung einer Halbleitereinrichtung mit den Schritten

Bildung einer Gateelektrode (3b) auf einem Halbleitersubstrat (1) mit einer dazwischenliegenden Isolierschicht (14),

Bildung einer ersten Seitenwand-Isolierschicht (6b) an den Seitenwänden der Gateelektrode durch Bildung und Ätzen einer ersten Isolierschicht auf dem Halbleitersubstrat und der Gateelektrode,

Bilden eines Paares von Verunreinigungsgebieten (7a, 7b) durch Ionenimplantation von Verunreinigungen unter Nutzung der ersten Seitenwand-Isolierschicht als Maske,

Bilden einer ersten leitfähigen Schicht und einer zweiten Isolierschicht auf einem des Paares von Verunreinigungsgebieten (7a) und der ersten Seitenwand-Isolierschicht (6b) zur Mustererzeugung einer vorgegebenen Konfiguration,

Bilden einer zweiten Seitenwand-Isolierschicht (10b) an den Seitenwänden der ersten leitfähigen Schicht und der zweiten Isolierschicht durch Bilden und Ätzen einer dritten Isolierschicht über dem gesamten Halbleitersubstrat,

Bilden einer zweiten leitfähigen Schicht (11a) auf den anderen der Verunreinigungsgebiete (7b), der zweiten Seitenwand-Isolierschicht und der zweiten Isolierschicht (9),

Bilden einer vierten Isolierschicht auf der gesamten Oberfläche und nachfolgendes Ausbilden erster und zweiter Öffnungen (15a, 15b), die jeweils eine vorgegebene Abmessung haben, auf der ersten leitfähigen Schicht (8c) und der zweiten leitfähigen Schicht (11a) in der vierten Isolierschicht und

Bilden erster und zweiter Verdrahtungsschichten (13a, 13b) auf der ersten und zweiten Öffnung zur Verbindung der ersten bzw. zweiten leitfähigen Schicht.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß der Schritt des Ausbildens der zweiten leitfähigen Schicht den Schritt des Strukturierens

Hierzu 8 Seite(n) Zeichnungen

FIG.2A

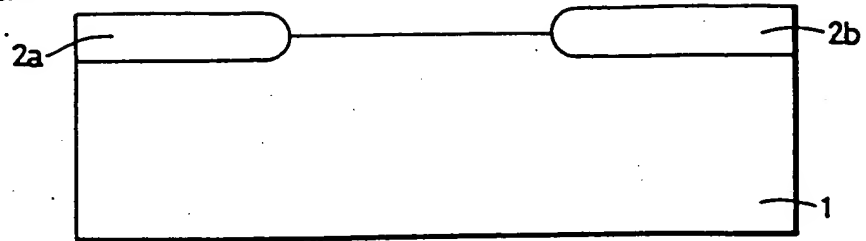


FIG.2B

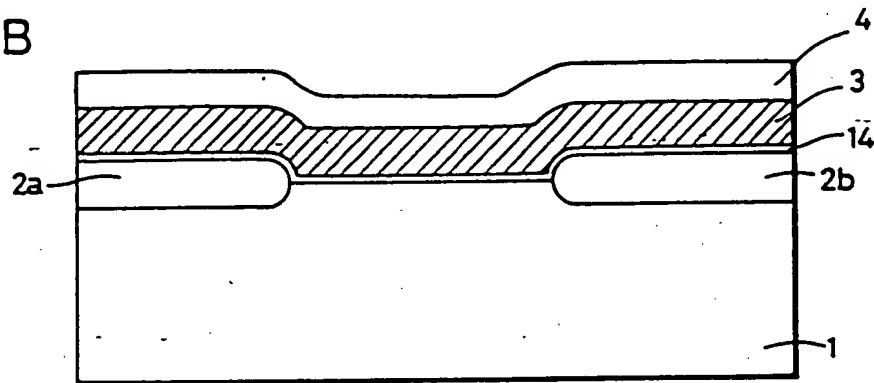


FIG.2C

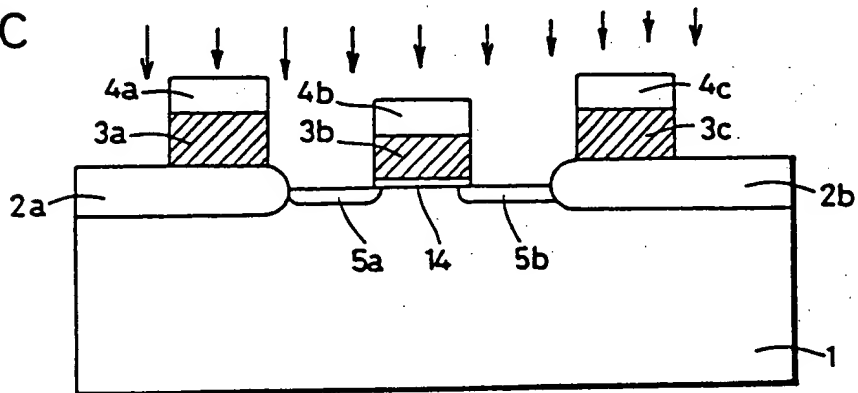


FIG.2D

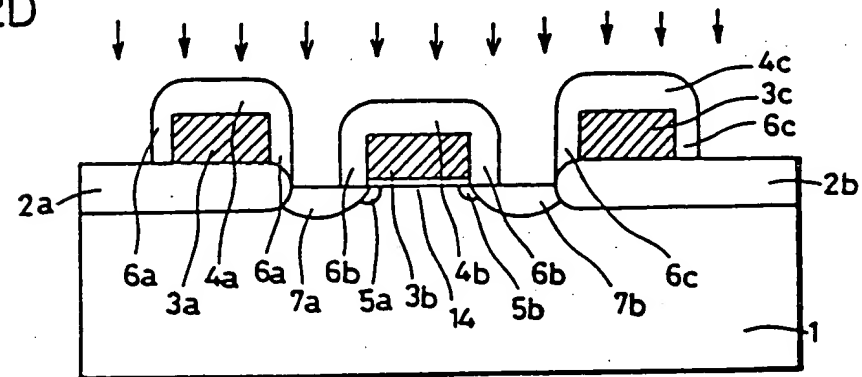


FIG. 2H

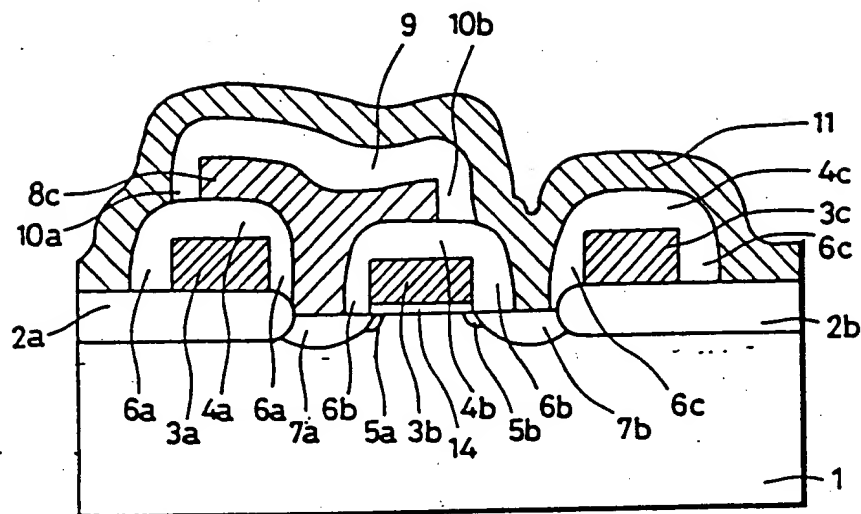


FIG. 2I

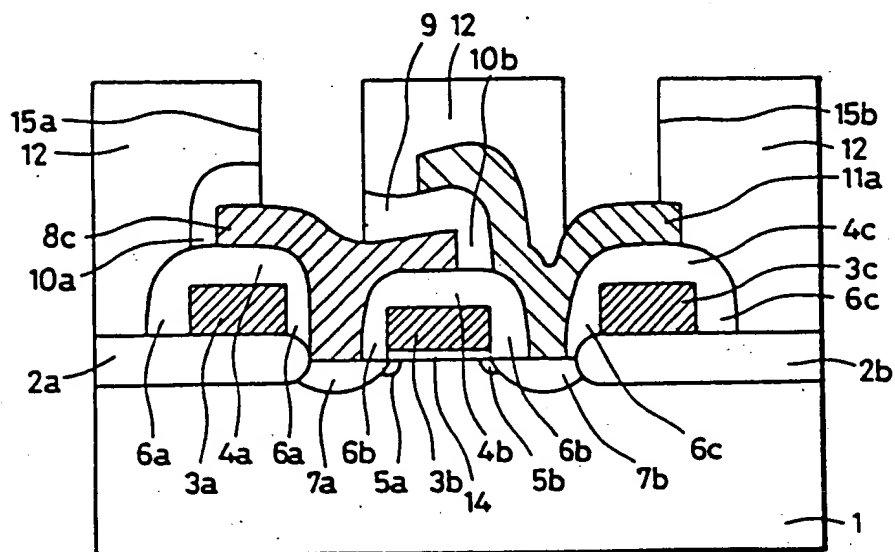


FIG. 4

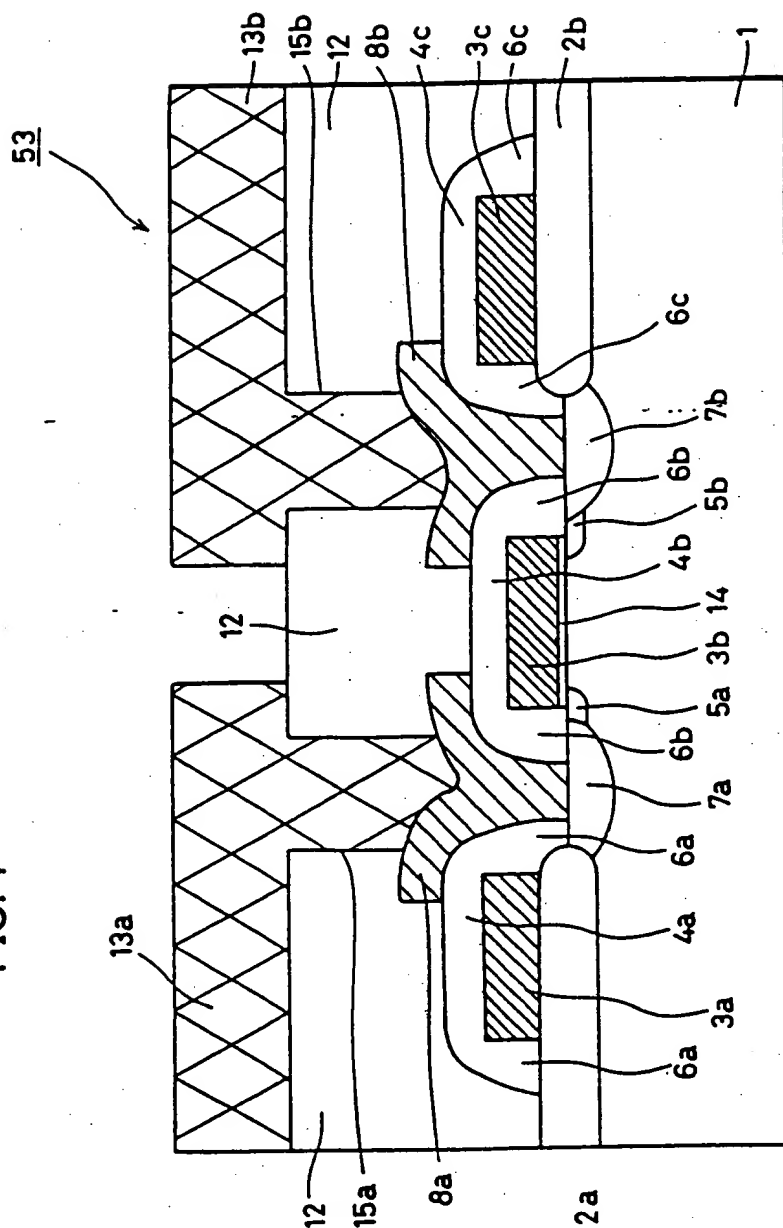


FIG. 5E

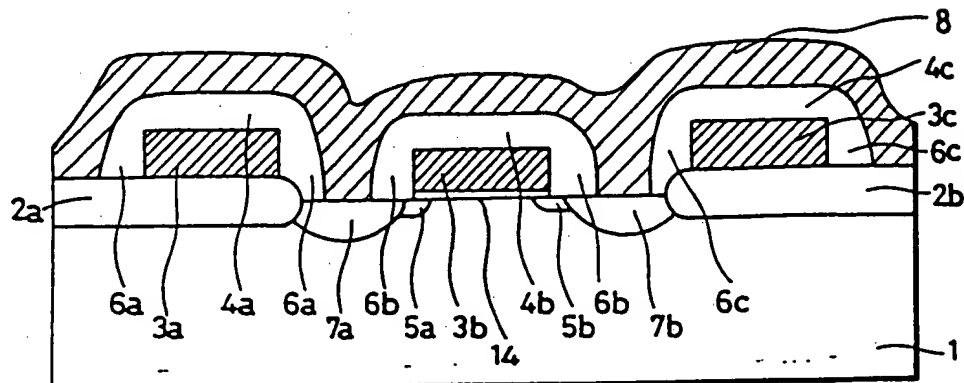
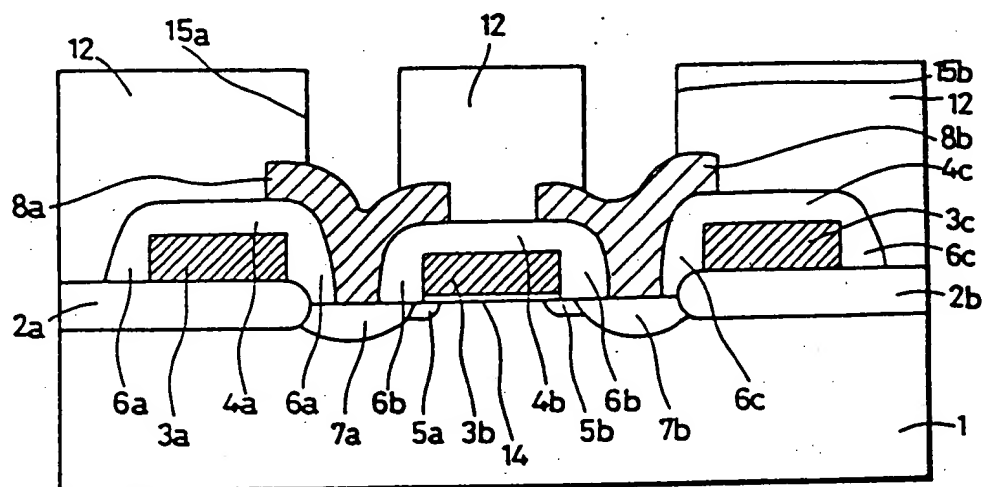


FIG.5F



5

SELF-ALIGNED BORDERLESS DIFFUSION CONTACTS

FIG. 1

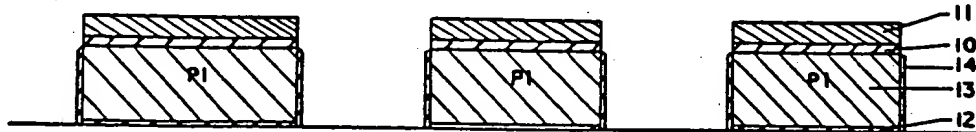


FIG. 2

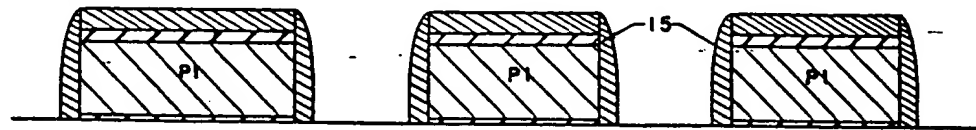


FIG. 3

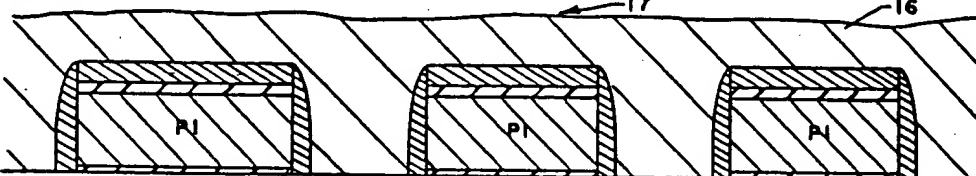


FIG. 4

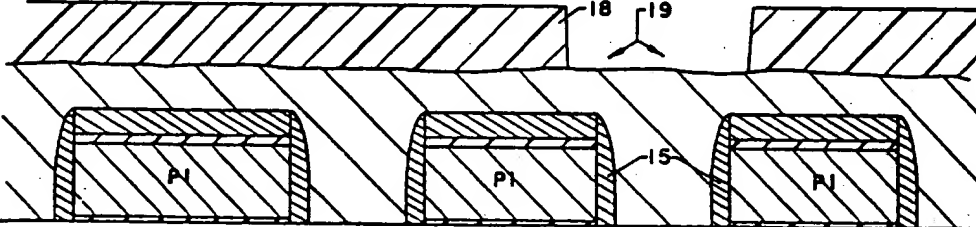
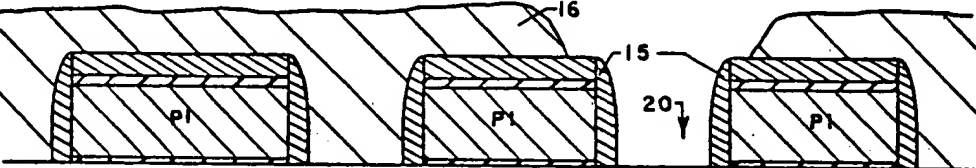


FIG. 5



A process sequence is disclosed which produces diffusion contacts which are self-aligned to the first level polysilicon features and do not require borders, resulting in a significant circuit density increase.

9/88



A SELF ALIGNED CONTACT PROCESS WITH IMPROVED SURFACE PLANARIZATION

K.H. KÜSTERS, W. SESSELMANN, H. MELZNER and B. FRIESEL

Siemens AG, Microelectronic Technology Center, Otto-Hahn-Ring 6,
D-8000 München 83, F.R.G.

A new self aligned contact technology has been introduced into a 4Mbit DRAM process. The contact hole is overlapping gate and field oxide. A thin nitride/thin poly-Si/oxide multilayer allows a contact hole etch, which does not significantly affect the oxide isolation of the gate and the field oxide. After acting as etch stop, the poly-Si is changed into oxide by selective oxidation. The new process offers an improved reflow of isolationoxide and contact hole rounding.

1. INTRODUCTION

By using self aligned contacts, the packing density of integrated circuits can be increased /1/, lithography requirements are less stringent. A 25 % shrink of 4Mbit DRAM cell area was achieved by a fully overlapping bitline contact (FOBIC) /2/. The cell design allows the contact hole to overlap gate and field oxide. For etching the dielectric underneath the bitline a nitride etch stop layer has been used.

The self aligned contact technology can also be based on a poly-Si etch stop layer /3, 4/. In this paper we report on the integration of this technique into a 4Mbit DRAM process. The new process allows an improved surface planarization. Improved planarization techniques are required, because surface topology is critical for the step coverage and for the patterning of submicron bitlines. The realization of submicron contacts by the proposed process is combined with improved techniques for the reduction of contact resistance, which is critical for device performance.

2. SELF ALIGNED CONTACT PROCESS

The self aligned contact process is employed for the fabrication of a 4Mbit DRAM trench capacitor cell. The 4Mbit DRAM process proceeds by the formation of trench capacitors, transistors, 1st level polycide and 2nd level metal interconnects /2/. The contact between polycide bitline and n⁺ diffusion (source/drain of transfer gates) is self aligned; the process sequence for contact formation is outlined in Fig.1.

a) The gate is encapsulated by oxide (≥ 150 nm) using a spacer technique: the oxide spacer covers the sidewalls of a double layer poly-Si/oxide. After the deposition of a thin nitride/thin poly-Si/oxide (BPSG) multilayer oversize contact holes are patterned. The top oxide (BPSG 350 nm) is etched anisotropically in a CHF_3/O_2 plasma. The thin poly-Si acts as a very efficient etch stop due to the high selectivity (20:1) of the dry etch process. A 30 nm poly-Si layer allows a long overetch time and efficient removal of BPSG sidewall spacers (Fig. 2). The gate isolation is not affected by the top oxide etch.

(see Fig.3). The wet reflow allows an effective reflow although BPSG doping level is kept low to avoid any influence of further temperature steps (2nd BPSG reflow) on the BPSG underneath the bitline.

The proposed process requires only a thin nitride layer (10-20 nm) as oxidation barrier. The thickness of the nitride layer, which remains on the wafer, has to be lower than 50 nm to avoid any effect on device performance e.g. enhanced leakage current due to defect generation /3/.

Different from a self aligned contact process /2,3/ based on nitride as an etch stop for top oxide etch the new process allows a pure dry etch of top oxide. In the case of a nitride etch stop a nitride thickness of 70 nm is required because of lower selectivity of the CHF_3/O_2 etch process; the nitride thickness can only be reduced by using wet etching techniques for the top oxide.

After serving as etch stop the poly-Si layer has to be oxidized to avoid problems with further processing (e.g. 2nd contact hole etch) or shorts. Fig.6 shows the oxide thickness grown on a poly Si buried under BPSG (500 nm) vs. oxidation time. The oxidation of the poly-Si layer can be performed without significant increase of the temperature budget of the process because the BPSG top oxide is less dense than thermal oxide.

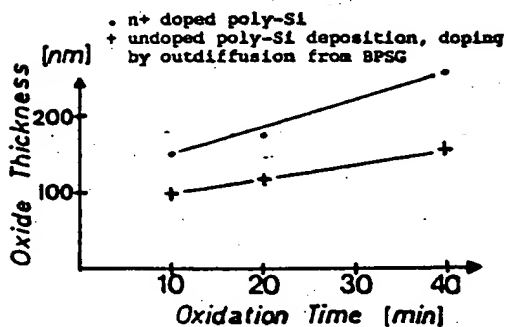


Fig 6: Oxide thickness on poly-Si under 500 nm BPSG

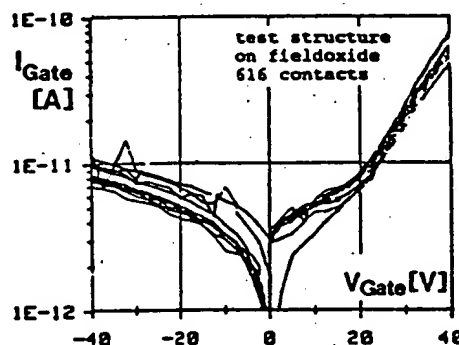


Fig 7: Leakage current across gate to bitline isolation

The new process has been introduced into the 4Mbit DRAM process without degradation of device yield compared to a conventional contact technique. The leakage current through the gate to bitline isolation was evaluated using a special test structure placed on field oxide to suppress the leakage current path through the gate oxide (Fig.7). The isolation of the gate encapsulation is superior to the isolation of thermal gate oxide. Investigation of LDD-Transistor properties exhibits no effect of adjacent self aligned contacts.

3. SELF ALIGNED CONTACT FOR STACKED CAPACITOR DRAM CELL

The proposed process can also be used for another type of self aligned contact: the contact is not only self aligned to gate and field oxide but also to an electrically active n^+ poly-Si layer like the upper cell plate of a Stacked Capacitor DRAM cell. The Stacked Capacitor /5/ consists of two poly Si plates, formed after the transistor. During the etching of the bitline contact to source/drain of the transfer gate, the upper cell plate can be used as poly-Si etch stop layer. After etching the contact through the n^+ poly-Si layer the contact isolation to the n^+ poly-Si is achieved by selective oxidation of the poly-Si inside the contact hole (Fig.8). Investigation of the oxide isolation between n^+ poly-Si and bitline contact shows a marked increase of breakdown voltage above 20 V for $d_{\text{ox}} > 160\text{nm}$. Above this critical oxide thickness a reliable isolation is achieved.

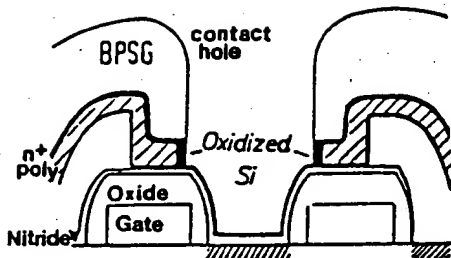


Fig 8: Self aligned contact through a n⁺poly-Si layer (Stacked Capacitor DRAM) after poly-Si etch and poly-Si oxidation

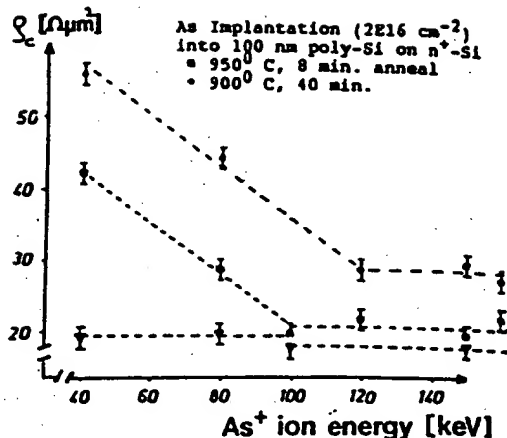


Fig 9: Specific contact resistivity as a function of As⁺ ion energy (▼ additional Si⁺ implantation)

4. CONTACT RESISTANCE POLY-Si/Si

For poly-Si/Si contacts it is well known [6] that a thin native oxide layer of about 15 Å between n⁺-Si contact area and deposited poly-Si results in high contact resistivity. By ion implantation into poly-Si low specific contact resistivities can be realized. Fig.9 shows the dependence of ρ_c on As⁺ and Si⁺ implantation energy. Low ρ_c values in the $20 \text{ } \Omega/\mu\text{m}^2$ range are found if the energy is high enough that As⁺-ions reach the contact interface. High resolution TEM shows that the native oxide layer is broken up and epitaxial growth of the poly-Si layer occurs after a moderate heat treatment (950°C, 8 min). If Si⁺-ions are used to break the native oxide layer low ρ_c values are obtained even after a low energy As⁺ ion implantation (Fig.9). This technique turns out to be very promising since almost no degradation of the contact doping profile occurs by the additional Si⁺ implantation.

Acknowledgement

The authors are grateful to W. Müller and G. Enders for their continuous support and encouragement. This work was supported by the Federal Department of Research and Technology (sign. NT 2696)

References

- /1/ J.S. de Zaldivar, NTG Fachberichte Bd 77 (1981), p.22
- /2/ K.H. Küsters, G. Enders, W. Meyberg, H. Benzinger, B. Hasler, G. Higelin, S. Röhl, H.M. Mühlhoff, W. Müller, Symp. on VLSI Tech. Dig. 1987, p.93
- /3/ K.H. Küsters, H.M. Mühlhoff, G. Enders, E.G. Mohr, W. Müller, Proc. 1th Int. Symp. ULSI, 1987, Electrochem. Soc. Proc. Vol. 87-11, Ed. S. Broydo, C. M. Osburn, p.640
- /4/ M. Kubota, S. Ogawa, S. Okuda, O. Shippou, T. Fujii, M. Inoue, T. Komeda, to be published, VLSI Symp. 1988
- /5/ L. Risch, W. Sesselmann, R. Tielert, Proc. ESSDERC, 1987, p.757
- /6/ G.L. Patton, J.C. Bravman, J.D. Plummer, IEEE Trans. El.Dev. ED-32, 1754. (1986)